

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02095015 A**

(43) Date of publication of application: **05.04.90**

(51) Int. Cl.

H03L 7/06

H04L 7/033

(21) Application number: **63247727**

(22) Date of filing: **30.09.88**

(71) Applicant: **KYOCERA CORP**

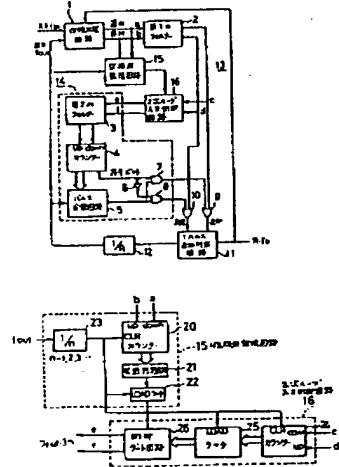
(72) Inventor: **KOJIMA TAKETOSHI
JINNO JUNICHI
MASUSHIRO MASAMI
KIDO TOSHIKI**

(54) DIGITAL PLL CIRCUIT

(57) Abstract:

PURPOSE: To shorten the pull-in time of a digital PLL by delaying the change of the direction of correction, increasing the correcting quantity of a forward direction, and decreasing the correcting quantity of an inverse direction, when the correcting quantity becomes maximum.

CONSTITUTION: A phase difference monitoring circuit 15 is composed of an up down counter 20, a condition discriminating circuit 1, a first latch circuit 22 and a frequency-dividing circuit 23 and a secondary loop input control circuit 16 is composed of an up down counter 24, a second latch circuit 25 and a control gate circuit 26. At the place where the change of the phase difference in a primary loop 13 is observed, the rotation direction and the phase difference quantity are detected and the correcting quantity becomes maximum in accordance with the information of the change of the obtained phase difference, by delaying the change of correction, the correcting quantity of the forward direction is increased and the correcting quantity of the inverse direction is decreased. Thus, the pull-in time of a digital PLL is shortened.



⑪ 公開特許公報 (A) 平2-95015

⑫ Int.Cl.⁵H 03 L 7/06
H 04 L 7/033

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月5日

8731-5J H 03 L 7/06
6914-5K H 04 L 7/02B
B

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 デジタルPLL回路

⑮ 特 願 昭63-247727

⑯ 出 願 昭63(1988)9月30日

⑰ 発明者 小島 健利 東京都世田谷区玉川台2丁目14番9号 京セラ株式会社東京用賀事業所内

⑰ 発明者 神野 純一 東京都世田谷区玉川台2丁目14番9号 京セラ株式会社東京用賀事業所内

⑰ 発明者 益城 正己 熊本県熊本市西原1-15-7 京セラ株式会社熊本LSIデザインセンター内

⑰ 発明者 城戸 俊樹 東京都世田谷区下馬5-18-5

⑰ 出願人 京セラ株式会社 京都府京都市山科区東野北井ノ上町5番地の22

明細書

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデジタル通信システム等において使用されているデジタルPLL回路の改良に関する。

〔発明の概要〕

1次ループ及び2次ループを有するデジタルPLL回路において、位相差監視回路が入出力デジタル信号間の位相比較に応答して位相差の変化を観測し、位相の回転方向及び位相差量を検知し、2次ループ入力制御回路がその検知出力に応じて1次ループからの2次ループに対する入力を制御して補正量の増減を行うことに関する。

〔従来の技術〕

第6図は従来のデジタルPLL回路の一例を示す。同図において、1はデジタル位相比較回路、2及び3は夫々第1及び第2のフィルター、4はアップダウン・カウンター、5はパルス分散回路、6はインバーター、7及び8はアンド回路、9及び10はオア回路、11は1パルス追加削除回路、12は分周回路である。

また fin は入力デジタル信号 波数、 fid は内部クロックの周波数（自走周波数）、 R は分周比であり、更に I 3 は 1 次ループで、位相比較回路 1 、第 1 のフィルター 2 から成り、 I 4 は 2 次ループで、第 2 のフィルター 3 、アップダウンカウント 4 、パルス分散回路 5 、インバーター 6 及びアンド回路 7 、 8 から成り、そして 1 パルス追加削除回路 11 及び分周回路 12 によりデジタル VCO が構成されている。

位相比較回路 1 は入出力デジタル信号の位相をデジタル的に比較して、位相差に相当する個数のパルス列が遅れ又は進み出力 a , b として第 1 のフィルター 2 に与えられ、その出力 c , d が第 2 のフィルター 3 及びオフ回路 9, 10 の一方の入力に加えられる。第 2 のフィルター 3 の 2 つの出力はアップダウンカウンタ 4 の up, down 入力に与えられ、カウント出力は常に出ている。そのカウント出力がパルス分散回路 5 の入力 X に加えられる。

パルス分散回路 5 はクロック入力 CK に与え
(3)

(3)

い場合、第9図に示す如く引込み動作時に位相の回転を生ずることがある。

このような位相の回転が起こっている時、入力周波数 f_{in} と出力周波数 f_{out} との位相差が $\pm 180^\circ$ 变化するため、第 7 図から明らかのように 2 次ループ 1, 4 の第 2 のフィルター 3 に対して引込みを行なう順方向の入力と逆方向の入力とが交互に入ることになる。

従つてその結果補正量は相殺され、引込みには時間が必要とする。

上述したように一般にデジタル P L L 回路の引込みの早さとその安定性とは相反する関係があり、P L L 回路の安定性が増せば引込み時間が長くなり、また引込みを早くすれば不安定となる。

〔発明の目的〕

従つて本発明の目的はデジタルPLL回路においてその安定性をそこなうことなく、前記位相の回転を早く収束させて引込み時間を短縮せしめることがある。

(5)

れたバルス列のうち記入力 X に対応した個数だけのバルスをできるだけ均等な間隔で出力し、その出力バルスはカウンタ 4 からの符号ビットに応じてアンド回路 7, 8 を介して前記オア回路 9, 10 の他方の入力に加えられる。

その結果、周波数 $R \times f_0$ の内部クロックは 1 パルス追加削除回路 1-1 によりオア回路 9 又は 10 の出力に応じて、周期的に 1 パルスが除去されるか、又は付加されて、前記位相差に応じて 1 パルス追加又は削除されたクロックは分周回路 1-2 で $1/R$ の周波数に分周し、前記デジタル信号となる。

第7図は上記デジタルPLL回路の動作説明図、
第8図はこの回路における入力周波数finと定常
位相差の関係を示す図で、f1は1次ループ13の
最大補正量(絶対値)、f2は2次ループ14の最
大補正量(絶対値)をあらわす。

〔説明が解決しようとする問題点〕

さて上述した従来のデジタル PLL 回路において、入力周波数 f_{in} と自走周波数 f_0 の周波数差の絶対値が 1 次ループ 1/3 の最大補正量 E_1 より大き

(4)

「問題点を解決するための手段」

本発明は上記目的を達成するため入力デジタル信号と出力デジタル信号との位相をデジタル的に比較して得られた位相差量に応じて内部クロックに所定周期で1パルス追加又は削除することにより出力デジタル信号の位相補正を行なう1次ループと2次ループを有し、追加又は削除された内部クロックを分周したものを上記出力デジタル信号として供給するPLL回路において、上記位相比較に応答して1次ループにおける位相差の変化を観測し、位相の回転方向及び位相差量を検知する位相差監視回路と、該回路の出力に応じて1次ループからの2次ループに対する入力を制御して位相差量が規定値以上のときに1次ループへの補正量を増減させるデジタルPLL回路を提供する。

〔作 用〕

1次ループにおける位相差の変化が観測され、その回転方向及び位相差量が検知され、得られた位相差の変化の情報に応じて補正量が最大になっている所で補正の方向の変化を遅らせるこにより上

(6)

り順方向の補正量を増やし、逆方向の補正量を減らすことによりデジタルPLLの引込み時間の短縮を行う。

〔実施例〕

以下図面を参照して本発明を更に説明する。

第1図及び第2図は本発明によるデジタルPLL回路の一実施例を示し、第6図と同一符号は同一回路の構成要素を示す。第1図において、15又は類似の回路をあらわす。第1図において、15は位相差監視回路、16は2次ループ入力制御回路で、これら回路は例えば第2図に示すように構成される。

第2図において、20はアップダウンカウンタ、21は状態判別回路、22は第1のラッピング回路、23は分周回路で、これら回路により位相差監視回路15が構成される。また、24はアップダウン・カウンタ、25は第2のラッピング回路、26は制御ゲート回路で、これら回路により2次ループ入力制御回路16が構成される。

デジタル位相比較回路1の出力a, bは位相監視回路15のアップダウン・カウンタ20に与え

(7)

補正を行う第2のラッピング回路25からのデータを補正して2次ループの第2のフィルター3に加える。

上述した回路の特徴はデジタルPLL回路の入出力fin, fout間の位相差が小さく安定している時、2次ループ入力制御回路16の制御ゲート回路26が第2のラッピング回路25のデータをそのまま2次ループ14のフィルター3へ送るようにすること、位相差補正回路15及び2次ループ入力制御回路16が存在しないのと同じ状態(c=d=fの状態)にすることができるため、デジタルPLL回路の安定性を保持したまま位相の引込み速度を早くすることができる点にある。

第3図は上述した実施例の具体的な構成例で、出力信号の周波数差(fin-fout)のために位相の回転が生じている時、その回転方向を検知し、その位相差が+180°から-180°へ変化するとき、または-180°から+180°へ変化するときに第2のフィルター3へ渡す値の符号bitの正から負へまたは負から正への変化を遅らせることにより順方向の補正量を増やし、逆方向の補正量を減らすようにしてデジタルPLL回路の引込み時間を短縮することを目的としている。

(9)

られ、該カウンタのクリア端子CLRには分周回路23を介して出力デジタル信号が印加されているので、上記出力a, bはfoutのn周期毎に上記カウンタでカウントされ、そのカウント出力は状態判別回路21に送られる。

状態判別回路21は上記ガウント出力に基いて位相のずれ方向(回転方向)及び位相差量が所定値以上あるか否か等の必要な情報が判別され、第1のラッピング回路22に保持される。

次に、2次ループ14への入力c, dは2次ループ入力制御回路16のカウンタ24に捉えられ、そのカウント出力が第2のラッピング回路25で保持される。第2のラッピング回路25のデータは制御ゲート回路26は位相差監視回路15の第1のラッピング回路22のデータに応じてオンオフされるようになっている。従って第1のラッピング回路22のデータ(デジタル位相比較回路1の出力に基づく位相情報の判別結果)はデジタルPLL回路の引込み動作に対して順方向の位相補正データか、逆方向の位相補正データかを示し、必要に応じて位相

(8)

を短縮することを目的としている。

第3図において、状態判別回路21は大小比較回路31によって構成され、また制御回路26はディレイ回路35、インバータ回路36、40、アンド回路37、38、41、42、オア回路39により構成されている。

位相比較器1の出力パルスa, bはアップ・ダウンカウンタ20によってカウントされ、そのカウント結果Qは大小比較回路31に渡され、大小比較回路31にはあらかじめ一定値Kが設定されており、この値Kとカウンタからの値|Q|との大小比較を行う。

大小比較の結果、出力|Q|が|Q|>Kのとき「High」、|Q|≤Kのとき「Low」となり、第1のラッピング回路22にその値が保持される。

一方、2次ループ入力制御回路16では第1のラッピング回路22に保持された値に基づいて第2のフィルター3へ入力されるデータの符号を遅らせるかどうかの判定を行う。

(10)

示す。位相差が -80° から -180° へ変化するとき(i)、すなわち補正が順方向から逆方向へ変化するとき、補正量が最大になっている。

補正量が最大になっているところで補正の方向の変化、すなわち、順方向から逆方向への変化を遅らせることにより順方向の補正量を増やし(f)、逆方向の補正量を減らすことにより(g)、デジタル PLL の引込み時間の短縮を行うものである。

〔発明の効果〕

以上説明したように本発明によれば位相差監視回路及び 2 次ループ入力制御回路によりデジタル PLL 回路の引込み時間を短縮することができる。

4. 図面の簡単な説明

第 1 図及び第 2 図は本発明の一実施例を示すブロック図、第 3 図は該実施例の主要部の具体的構成例を示すブロック図、第 4 図はその動作説明用タイミングチャート、第 5 図は入力デジタル信号の位相差の変化を示す図、第 6 図は従来のデジタル PLL 回路の一例を示すブロック図、第 7 図はその動作説明図、第 8 図は上記回路における入力

(12)

第 1 のフィルター 2 から出力されるパルス c,

d が第 2 のラッピング回路 25 に渡され、第 2 のラッピング回路 25 では渡された値を符号と絶対値に分けられ、符号はデイレイ回路 35 に渡され、絶対値はパルス列としてアンド回路 42 に渡される。第 2 のフィルター 3 への出力制御に第 2 のラッピング回路 25 からの符号出力をそのまま使うが、デイレイ回路 35 によって遅らせられた符号出力を使う 1 回路 35 によって遅らせられた符号出力を使うかは第 1 のラッピング回路 22 の内容により決定せられる。

第 1 のラッピング回路 22 の内容が「High」であれば遅らせられた符号が第 1 のラッピング回路 22 の内に遅らせられた符号が「Low」であれば第 2 のラッピング回路 25 の符号が「Low」であれば第 2 のラッピング回路 25 の符号が選択される。そして選択された符号により第 2 のフィルター 3 への補正パルスの出力が行われる。

第 4 図は $m = n = 1$ で、位相差が 90° 以上の時、g の値が「High」になるよう K の値が設定されている場合のタイミングチャートを示し、第 5 図は $f_{out} > f_{in}$ の場合の f_{in} と f_{out} の位相差の変化を示す図。

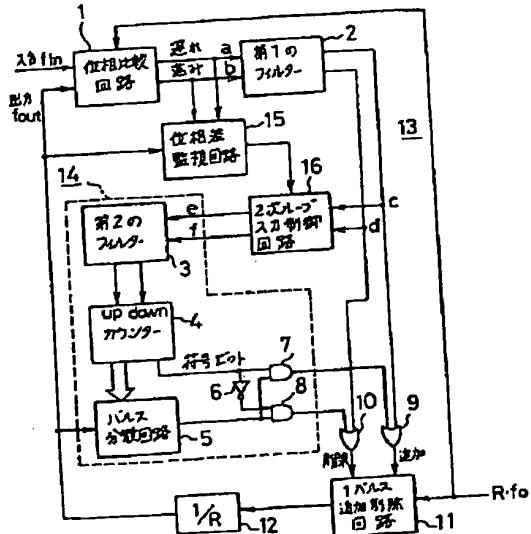
(11)

周波数 f_{in} と定常位相差の関係を示す図、第 9 図は上記回路における入力デジタル信号の位相差の変化を示す図である。

1 … 位相比較回路、13 … 1 次ループ、14 … 2 次ループ、15 … 位相差監視回路、16 … 2 次ループ入力制御回路。

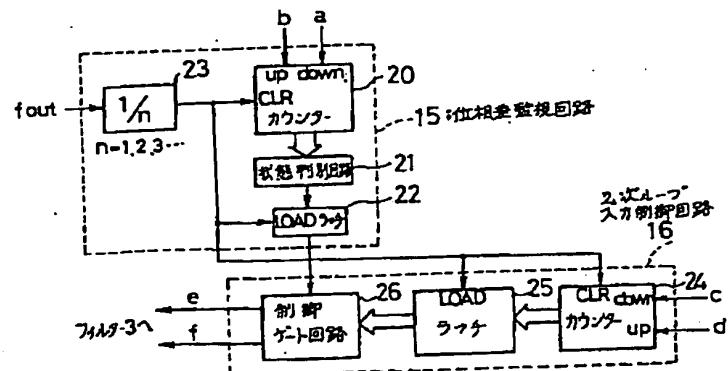
特許出願人 京セラ株式会社

第 1 図

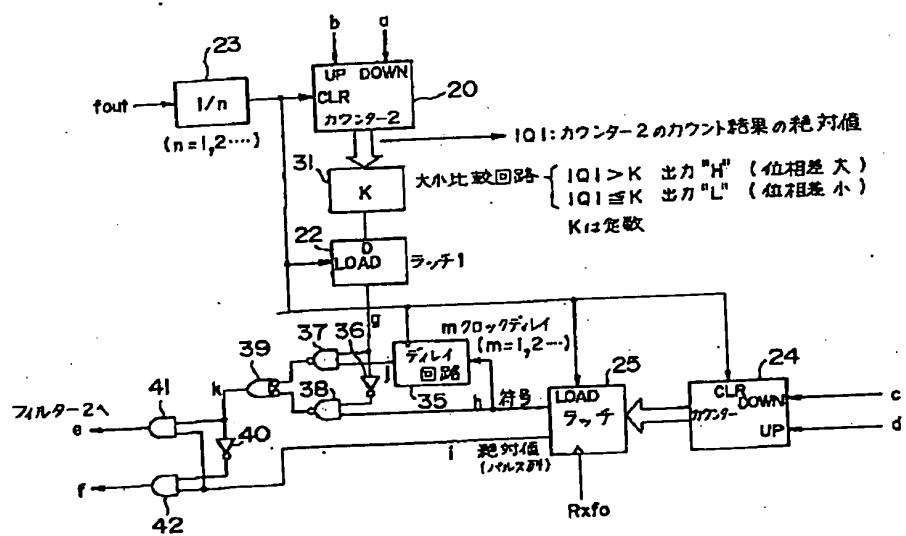


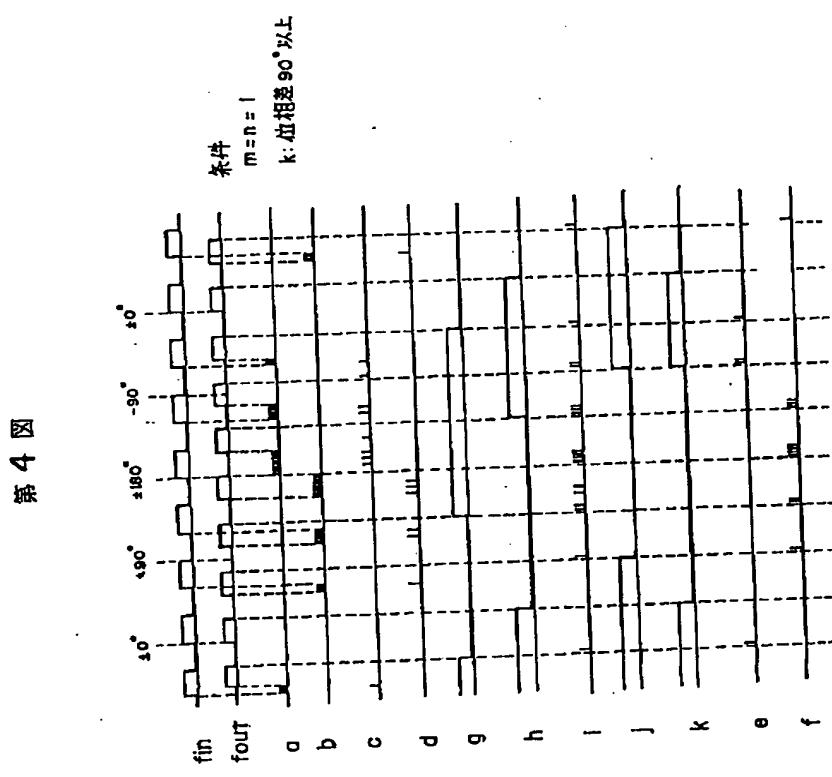
(13)

第 2 図

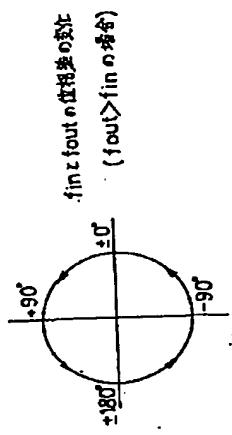


第 3 図

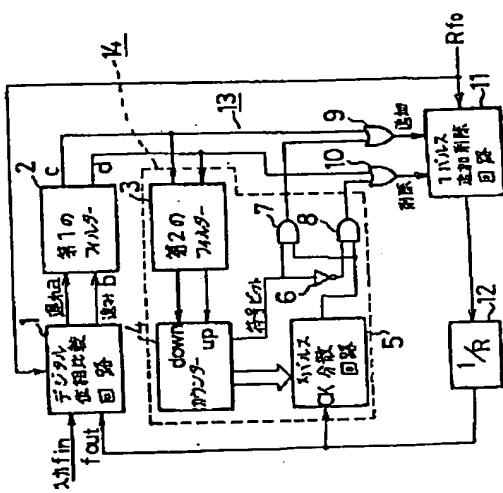




第5図



第6図



第 8 図

